



asicland

Investor Relations 2023

A Promising Journey to Silicon Success

ASICLAND

INDEX 001
* PTL-0-100
* PTL-0-100
* PTL-0-100
* PTL-0-100

* KIT-0-100
* KIT-0-100
* KIT-0-100
* KIT-0-100

GENERAL INDEX 001

Disclaimer

본 자료는 Presentation에서의 정보 제공을 목적으로 에이직랜드 이하 “회사”에 의해 작성되었습니다.

본 자료에 포함된 “예측정보”는 개별 확인 절차를 거치지 않은 정보들입니다. 이는 과거가 아닌 미래의 사건과 관계된 사항으로 회사의 향후 예상되는 경영현황 및 재무실적을 의미하고, 표현상으로는 ‘예상’, ‘전망’, ‘계획’, ‘기대’, ‘(E)’ 등과 같은 단어를 포함합니다.

위 “예측정보”는 향후 경영환경의 변화 등에 따라 영향을 받으며, 본질적으로 불확실성을 내포하고 있는 바, 이러한 불확실성으로 인하여 실제 미래 실적은 “예측정보”에 기재되거나 암시된 내용과 중대한 차이가 발생할 수 있습니다.

또한, 향후 전망은 Presentation 실시일 현재를 기준으로 작성된 것이며, 현재 시장상황과 회사의 경영방향 등을 고려한 것으로, 향후 시장환경의 변화와 전략수정 등에 따라 별도의 고지 없이 변경될 수 있음을 양지하시기 바랍니다.

본 자료의 활용과 관련하여 발생하는 손실에 대하여 회사 및 회사의 임직원들은 과실 및 기타의 경우 포함하여 그 어떠한 책임도 부담하지 않음을 알려드립니다. 본 문서는 주식의 모집 또는 매출, 매매 및 청약을 위한 권유를 구성하지 아니하며 문서의 그 어느 부분도 관련 계약 및 약정 또는 투자 결정을 위한 기초 또는 근거가 될 수 없음을 알려드립니다.

본 자료는 비영리 목적으로 내용 변경 없이 사용이 가능하고(단, 출처표시 필수), 회사의 사전 승인 없이 내용이 변경된 자료의 무단 배포 및 복제는 법적인 제재를 받을 수 있음을 유념해 주시기 바랍니다.

01

Prologue

01. ICT 산업의 기술 발전
02. 4차 산업혁명 시대의 시스템 반도체의 성장
03. TSMC VCA의 높은 진입 장벽
04. Corporate Identity

SoC

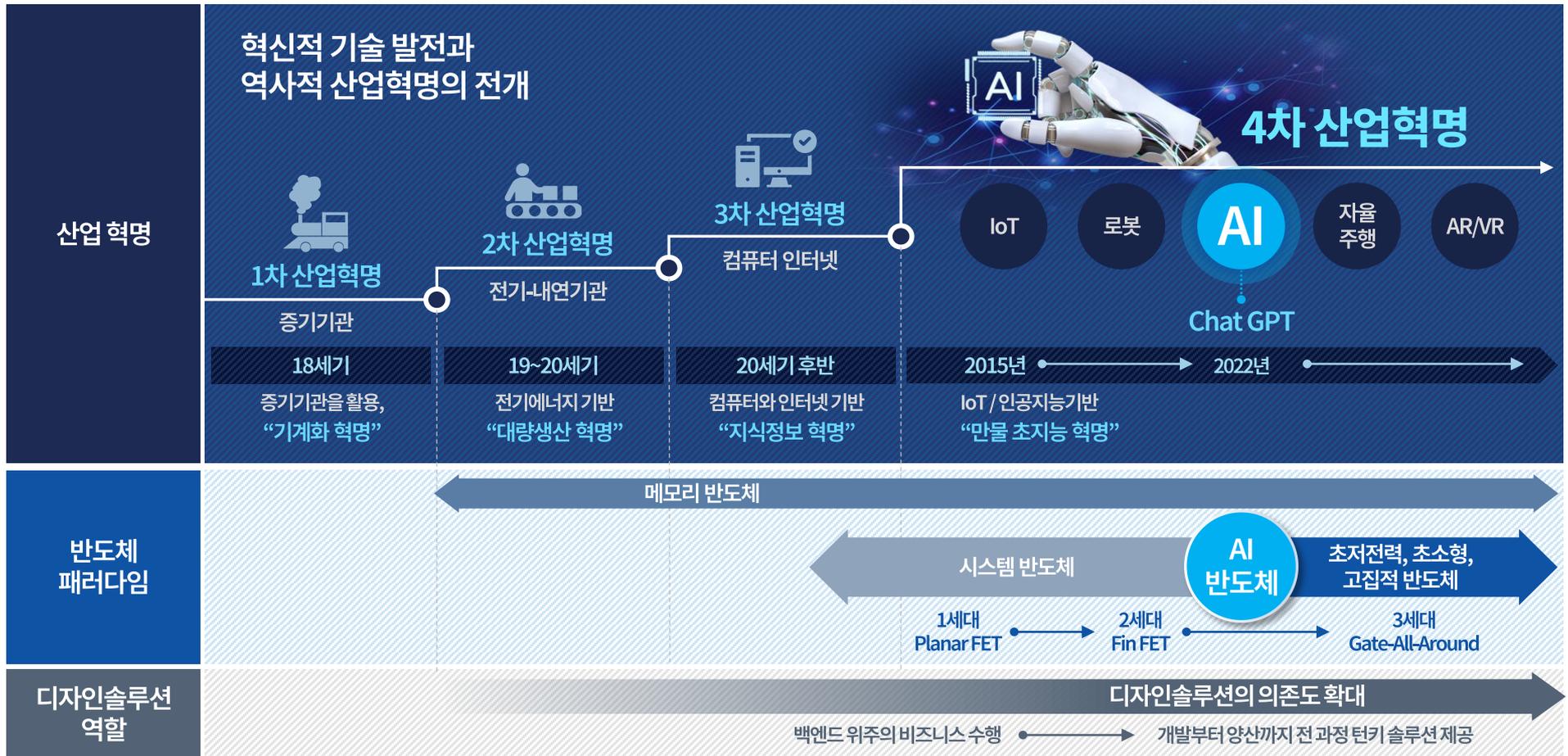
SoC 사업부는 Spec-in부터 칩 설계 및 개발보드, F/W, OS포팅까지 개발 전반에 걸쳐 고객이 필요로 하는 부분에 대하여 서비스를 제공합니다.



01. ICT 산업의 기술 발전



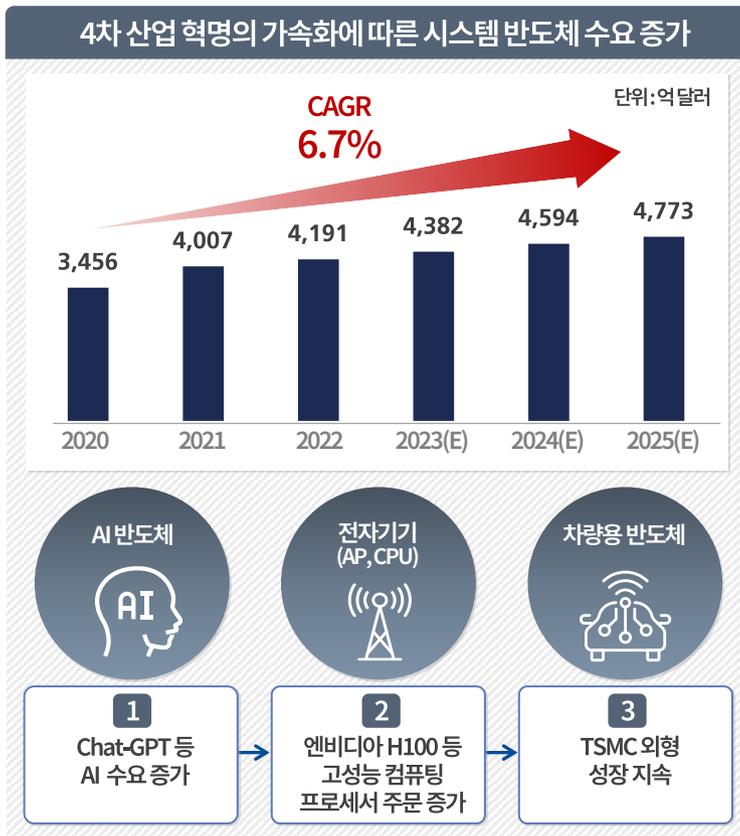
4차 산업 혁명의 가속화와 반도체 기술 고도화로 글로벌 시장 성장



02. 4차 산업혁명 시대의 시스템 반도체의 성장

4차 산업혁명으로 인한 시스템반도체 수요 급증 및 디자인솔루션의 역할 부각

글로벌 시스템 반도체 시장 전망



자료: 옴디아, 2022년 부터의 전망치

디자인솔루션의 필요성



03. TSMC VCA의 높은 진입 장벽



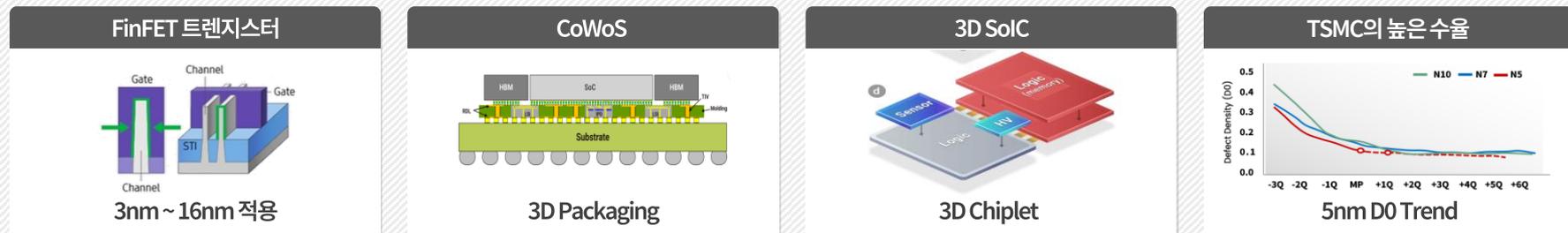
시장내 독보적인 경쟁력을 지닌 TSMC VCA인 에이직랜드는 시장 진입장벽 확보 및 TSMC와 필연적 동반 성장

TSMC와 필연적 성장



TSMC의 기술 경쟁력

글로벌 파운드리 시장을 선도하는 TSMC의 최신 공정에 대한 높은 수준의 공정 이해도 기반 칩 설계 및 개발 역량 필요 → 디자인솔루션에 대한 수요 증가



* CoWoS (Chip on Wafer on Substrate) : 3D반도체 적층 최첨단 패키징 기술
 * SoIC (System on Integrated Chip) : 하이브리드 본딩 기술
 * InFO WLP (Integrated Fan-Out Wafer Level Package) : 통합 팬아웃 패키징 기술

자료 : TSMC 홈페이지

04. Corporate Identity

01. 국내 유일 TSMC VCA

- 글로벌 파운드리 No.1 TSMC의 생태계 핵심인 VCA로서 디자인 솔루션 내 독보적 위치
- TSMC의 VCA로서 높은 공정 이해도 기반 Spec-In부터 턴키 솔루션 제공



02. Arm의 ADP 공식 파트너

- 글로벌 최대 IP 기업 Arm의 지정 공식 파트너로서 글로벌 메이저 파트너들과 동반 성장



03. ASIC 설계 자동화 플랫폼 보유

- 독보적인 SoC 설계 자동화 플랫폼 보유 (AWorld Magic™)
- 백엔드 설계 자동화 플랫폼 보유 (ALPS™)
- AI 기반 백엔드 하드닝 솔루션 보유



04. 독보적인 ASIC 설계 역량 보유

- TSMC 공정(1,000nm~3nm) 다양한 레퍼런스 보유
- 국내 최초 고대역대 기지국용 5G RF칩 개발 및 양산
- 국내 최초 서버용, 엣지용 AI반도체 개발



글로벌 ASIC 디자인 솔루션 대표기업



asicland

05. 스케일업 선순환 수익 모델 구축

- 개발 후 양산으로 이어지는 스케일업 선순환 고리 장착
- 우량한 양산 파이프라인 보유 (2023.09 기준)
 - 개발 중인 프로젝트 48건
 - 개발 수주 잔고 1,250억원



06. 우량한 경영 성과

- 2개년 CAGR 72%의 매출 성장(2020~2022)
- 영업 이익 YoY 316% 성장(2021~2022)



07. 지속적인 성장 동력 장착

- 10년 이상 된 설계 베테랑 엔지니어의 높은 비중
- 스타트업부터 대기업까지 다양한 고객사 확보 (약 70社)
- 4차산업 가속화에 따른 애플리케이션 전방위 확대



08. 신사업 진출 가속화

- 미국 시장 진출을 통한 신규 고객사 확보
- IP 비즈니스 확대
 - LE사 IP 비즈니스 협업
 - 아크칩스 투자 확대 (TSMCOIP 편입 추진)



02 Business Overview

01. 회사개요
02. 경영철학 및 비전
03. 성장 히스토리
04. 비즈니스 영역
05. Top Level R&D
06. ASIC 설계 자동화 플랫폼 구축
07. 경영성과

Design Service

ASICLAND는 고객사가 요청하는 Application에 맞게 합성부터 GDS Out 까지 다양한 공정의 Design Service를 제공합니다.

The right side of the slide features a dark blue background with a glowing blue circuit board pattern. In the center, the letters 'AI' are displayed in a large, white, glowing font, set within a blue rectangular frame that also glows.

01. 회사개요



글로벌 ASIC 디자인솔루션 대표기업, 에이직랜드

일반 현황

이종민

대표이사

“글로벌 No.1 디자인 솔루션 기업으로”

- 2003 SK하이닉스 반도체 연구원
- 2005 (주)버추얼다임 책임연구원 :SOC개발팀
- 2009 (주)휴먼칩스 수석연구원 :ASIC개발팀
- 2012 (주)다윈텍 수석연구원 :ASIC개발팀
- 2016 (주)에이직랜드 대표이사

회사명	(주)에이직랜드
대표이사	이종민
설립일	2016년 4월 5일
자본금	39.5억 원
임직원수	120명 (자회사 50명 미포함, 9/30기준)
주요사업	주문형 반도체 디자인 서비스, 시스템 온 칩 제품 개발
주소	경기도 수원시 영통구 대학교로 60, 309호(리치프라자 3차)
홈페이지	http://www.asicland.com

자료 : 증권신고서

주요임원 Profile

장성식 [PM본부장]	<ul style="list-style-type: none"> • 홍익대학교 대학원 전자전산공학 석사 • (전) (주)다윈텍 FrontEnd 팀장 • (현) (주)에이직랜드 PM 본부장
이석주 [경영지원본부장]	<ul style="list-style-type: none"> • 세종대학교 대학원 경영학 석사 • (전) (주)다윈텍 경영지원팀 이사 • (현) (주)에이직랜드 경영지원 본부장
이석용 [글로벌전략본부장]	<ul style="list-style-type: none"> • 광운대학교 대학원 전자통신공학 석사 • (전) 삼성전자 네트워크 사업부 수석 • (현) (주)에이직랜드 글로벌전략 본부장
김준호 [영업본부장]	<ul style="list-style-type: none"> • 명지대학교 전기공학 학사 • (전) (주)에이디테크놀로지 영업팀 부장 • (현) (주)에이직랜드 영업 본부장
김현 [ASIC본부장]	<ul style="list-style-type: none"> • 목원대학교 전자공학 학사 • (현) (주)탐에이직 대표이사 • (현) (주)에이직랜드 ASIC 본부장
장창은 [SoC본부장]	<ul style="list-style-type: none"> • 광운대학교 대학원 전자통신공학 석사 • (전) 하이버스 팀장 • (현) (주)에이직랜드 SoC 본부장

02. 경영 철학 및 비전

글로벌 시장에서 최고의 솔루션을 제공하는 ASICLAND,
상생과 혁신으로 더 나은 미래를 디자인합니다



asicland

VISION

끊임없는 혁신을 추구하고 글로벌 네트워크로 세계를 선도하는 시스템반도체 Value-up PARTNER

PHILOSOPHY

ASIC을 사랑하는 사람들이 최고의 기술과 신뢰를 바탕으로 모든 이해관계자와 소통하며 동반 성장하는 행복한 기업

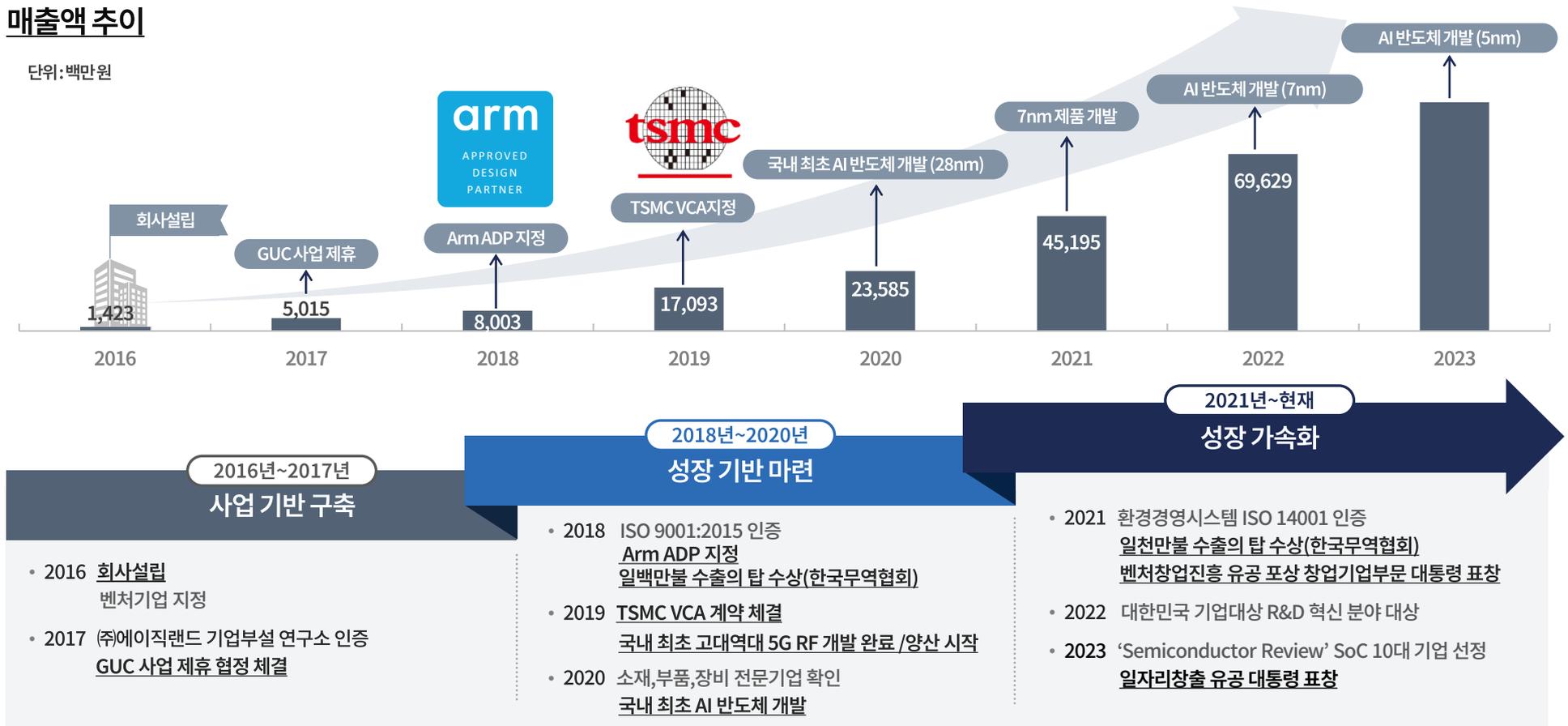
03. 성장 히스토리



10년 이상의 베테랑 설계 엔지니어 기반 글로벌 ASIC 디자인 솔루션 기업으로 성장

매출액 추이

단위: 백만원



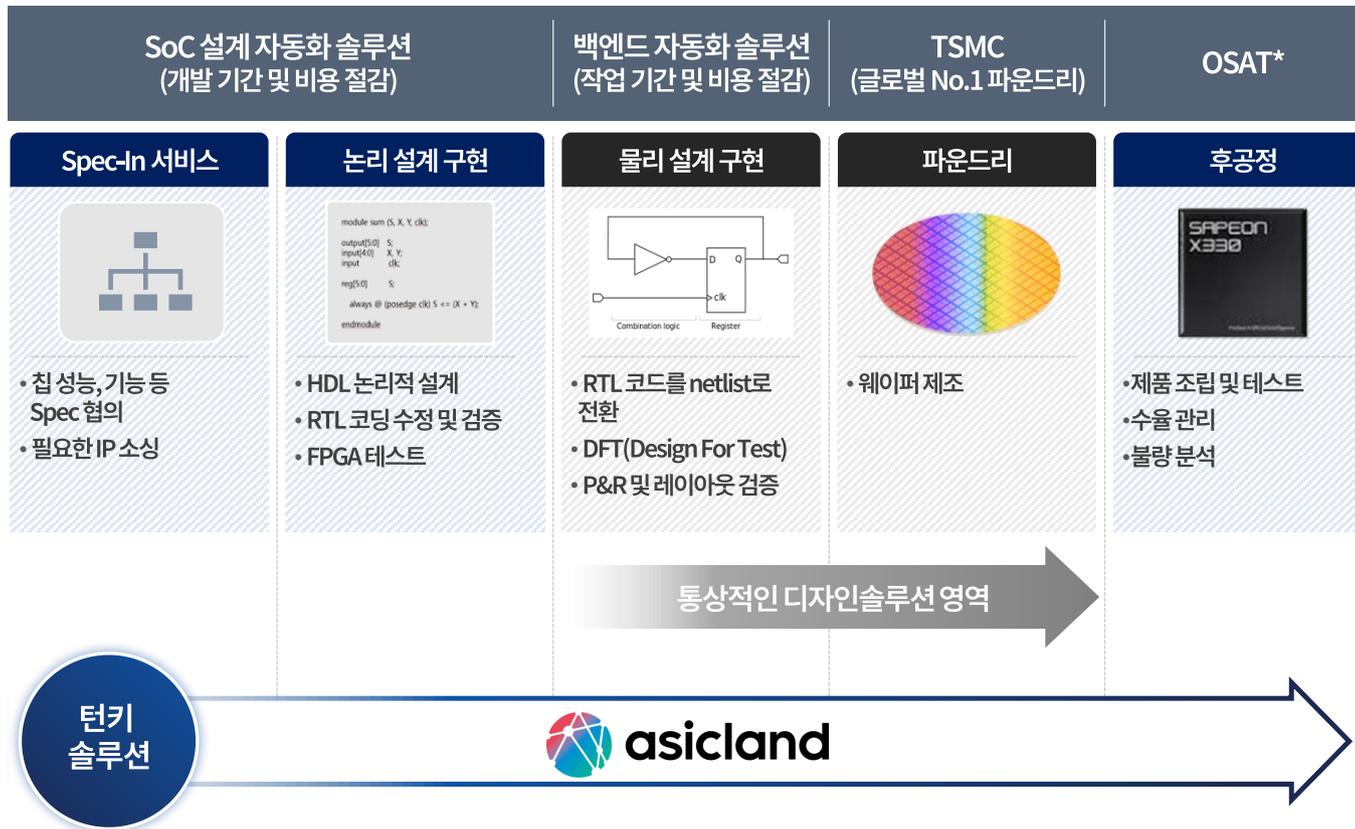
자료: 전자공시 시스템 감사보고서

04. 비즈니스 영역



통상적인 디자인솔루션과 차별화된 턴키 서비스(설계~공급) 제공

독보적인 턴키 솔루션 경쟁력 보유



* OSAT: Outsourced Semiconductor Assembly and Test

제공 서비스

SoC Service



Spec-in부터 칩, 보드 개발, OS포팅까지
개발 전반에 걸친 턴키솔루션 제공

Design Service



고객사 요구사항에 맞춰 합성부터 GDS Out까지
다양한 공정에 백엔드 솔루션 제공

PM Service

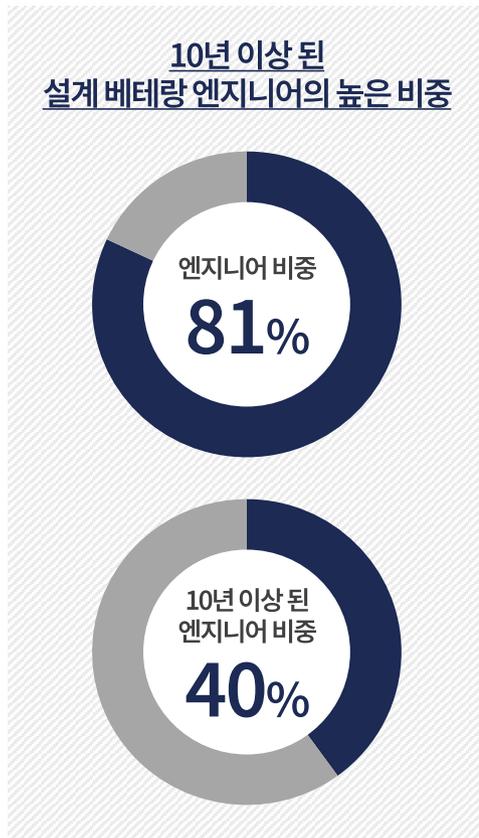


고객사에 최적의 IP/패키징/테스트
제공 및 품질 관리

05. Top Level R&D

베테랑 설계 엔지니어들의 축적된 노하우와 경험 기반 다양한 고객사 니즈를 충족

엔지니어 현황



자료 : 당사 내부자료

엔지니어 구성



체계적인 양산 시스템 운영



06. ASIC 설계 자동화 플랫폼 구축



ASIC 설계 자동화 플랫폼 & AI 기반 백엔드 솔루션을 통해 효율성 강화 및 높은 수익성 확보

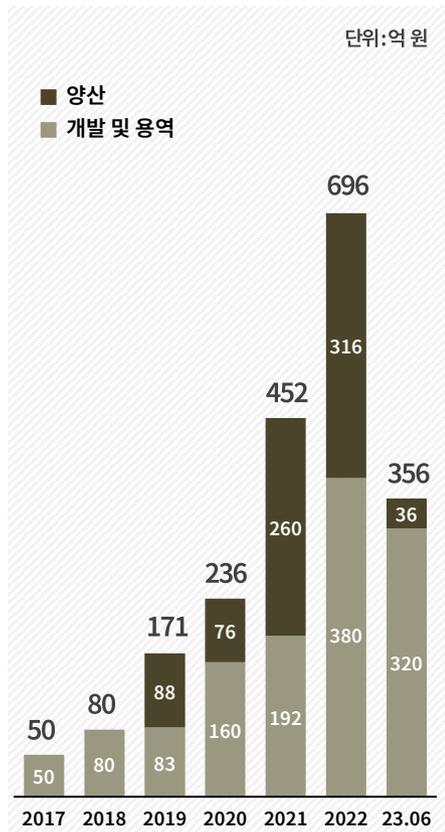


07. 경영성과(1)

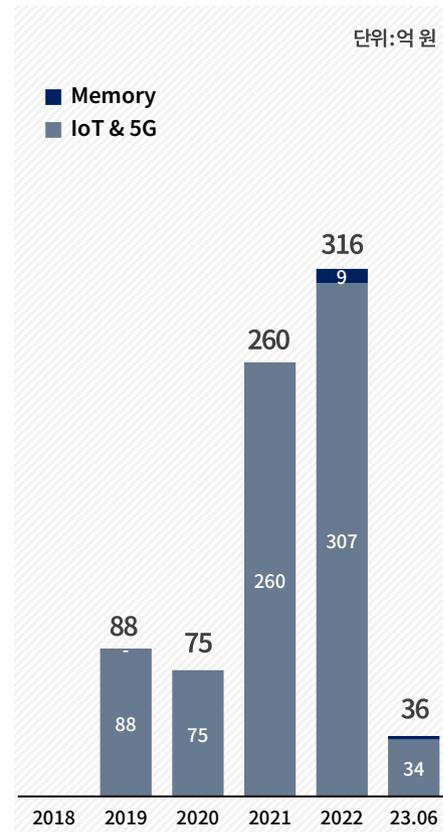


AI 반도체 부문이 빠르게 성장하고 있으며 양산 매출이 증가하는 급속 성장 구간 진입

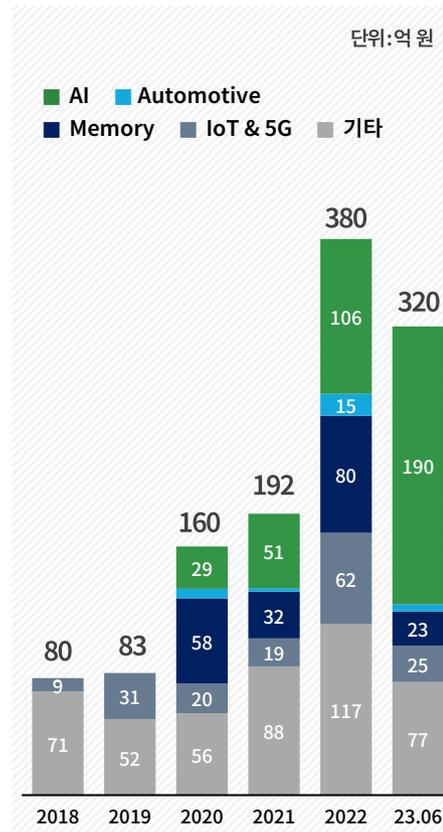
매출유형별 매출액



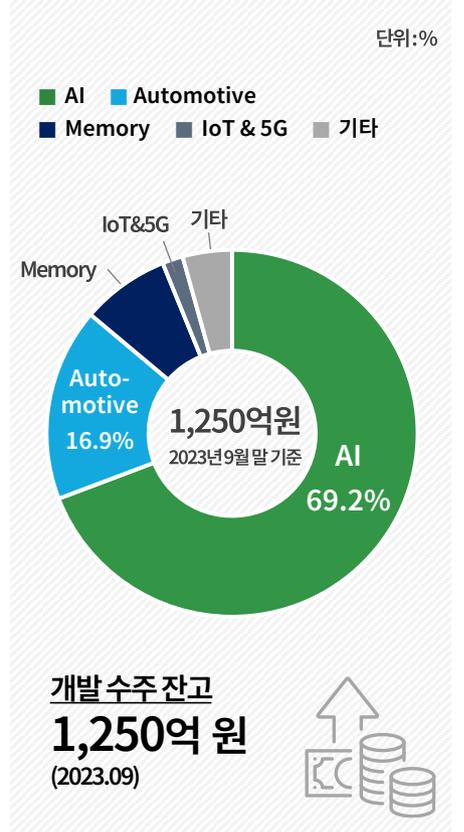
Application별 매출액(양산)



Application별 매출액(개발)



수주잔고



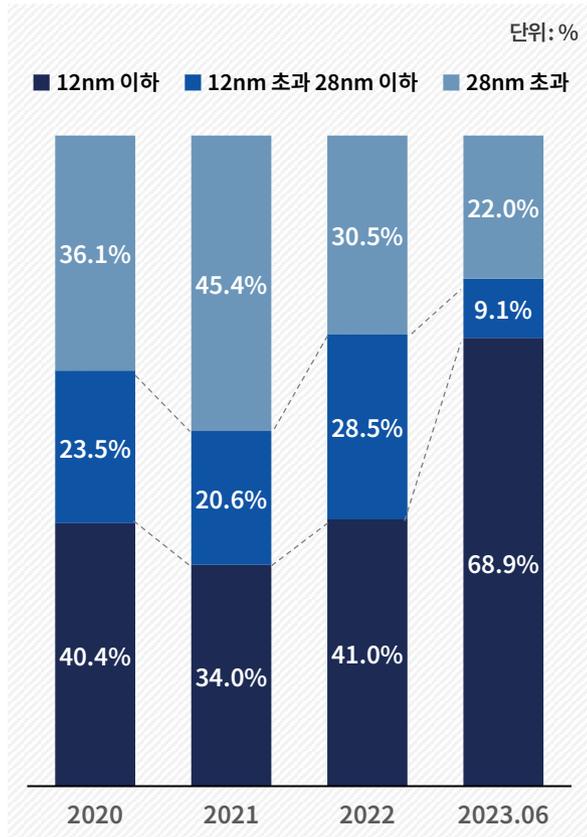
자료 : 증권신고서, 연결기준

07. 경영성과(2)

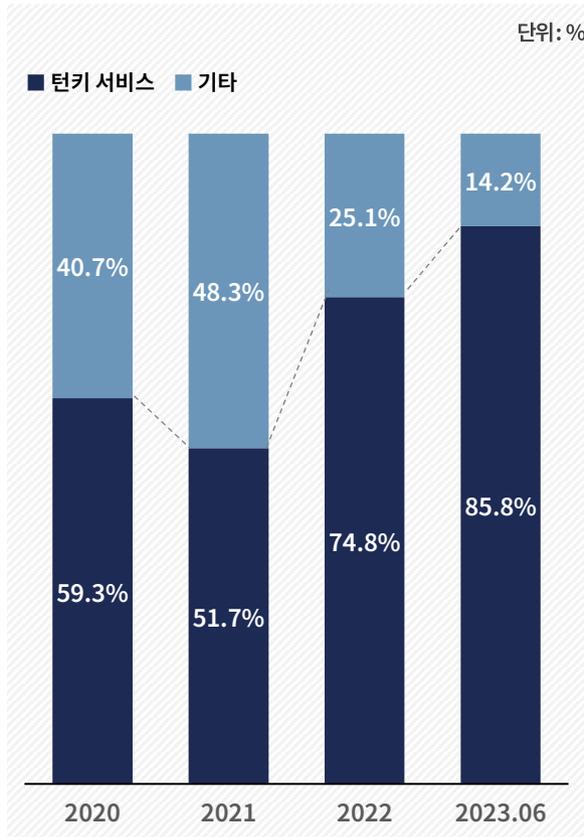


미세공정 및 턴키 프로젝트의 매출 비중이 증가하며 전사 수익성 지속 개선 중

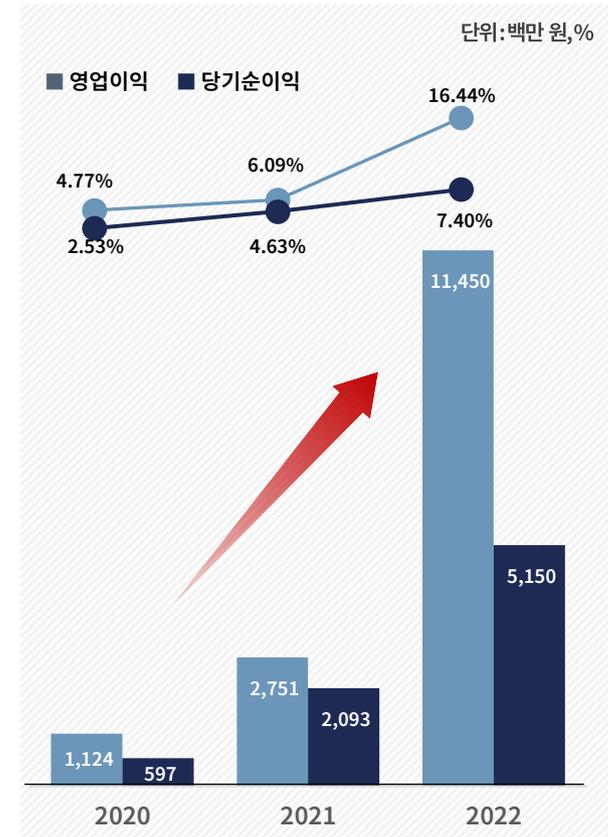
공정별 매출 비중



턴키 프로젝트 매출 비중



영업이익(률) / 당기순이익(률)



자료 : 연결 기준
 자료 : 공정별 매출비중 기준 및 턴키 프로젝트 매출 비중은 제품 매출을 제외한 개발 매출 기준의 비중

03

Investment Highlights

01. 강력한 글로벌 메이저 파트너십을 통한 성장성 확보
02. 반도체 전 공정 대응 가능한 국내 유일한 디자인솔루션 기업
03. 스케일업 선순환을 통한 매출 가속화
04. 4차 산업 시대에 적합한 다양한 어플리케이션과 고객사 확보

Product Management Service

ASICLAND는 고객사의 소중한 제품을 대응하기 위한 Chip 제작의 전체적 Flow Service를 제공합니다.



01. 강력한 글로벌 메이저 파트너십을 통한 성장성 확보(1)



글로벌 No.1 파트너들과 파트너십 체결을 통해 동반 성장 중



국내 유일 TSMC의 VCA

TSMC의 팹리스 고객사가 확대되면서 동반 성장 효과

매출액 성장 추이

최근 4개년 파운드리 매출액 비교

연도	TSMC (단위:억 달러)	삼성전자 (단위:억 달러)
2019	356	117
2020	477	132
2021	573	169
2022	737	208

지원 공정의 다양성

월 웨이퍼 생산량 비교

회사	14nm이상	12nm이하
SAMSUNG	105	216
TSMC	283	795

글로벌 최대 IP 기업 Arm의 ADP

Arm IP를 도입하고자 하는 팹리스 고객사유입 효과

분야별 글로벌 시장 선도

분야	Arm (%)	Others (%)
모바일 AP	90	10
IoT	90	10
In-vehicle	75	25

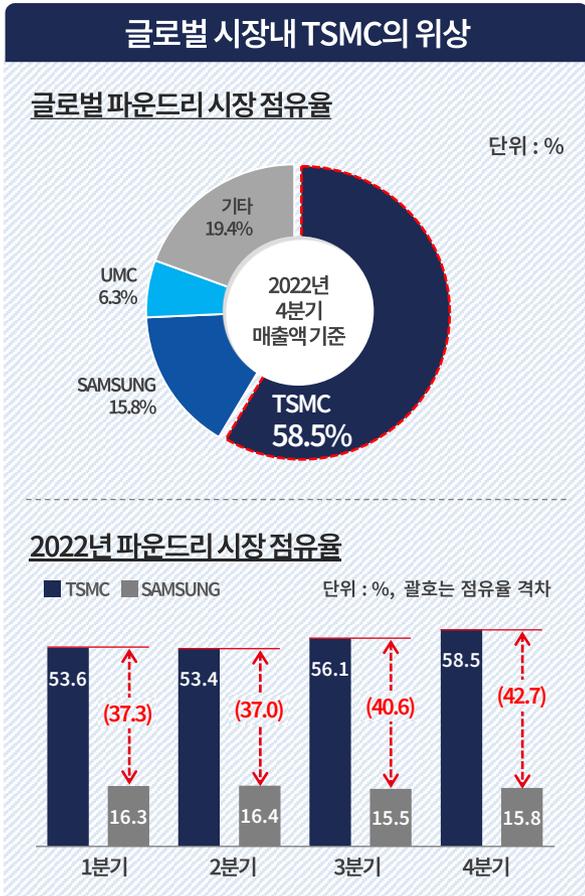
ADP의 혜택

1. Arm의 최신 기술 공유
2. 비즈니스 및 업계 동향 공유
3. 개발 시 원활한 기술 지원

자료1: 각 사 Annual reports
 자료2: 하이투자증권, 2022 1Q 기준
 자료3: Statista, 2019 기준

01. 강력한 글로벌 메이저 파트너십을 통한 성장성 확보(2)

“고객과 경쟁하지 않는다”- 글로벌 No.1 파운드리“TSMC”
 파운드리 시장 점유율 60%, 압도적 파운드리 인프라, 30년 업력의 파운드리 NO. 1



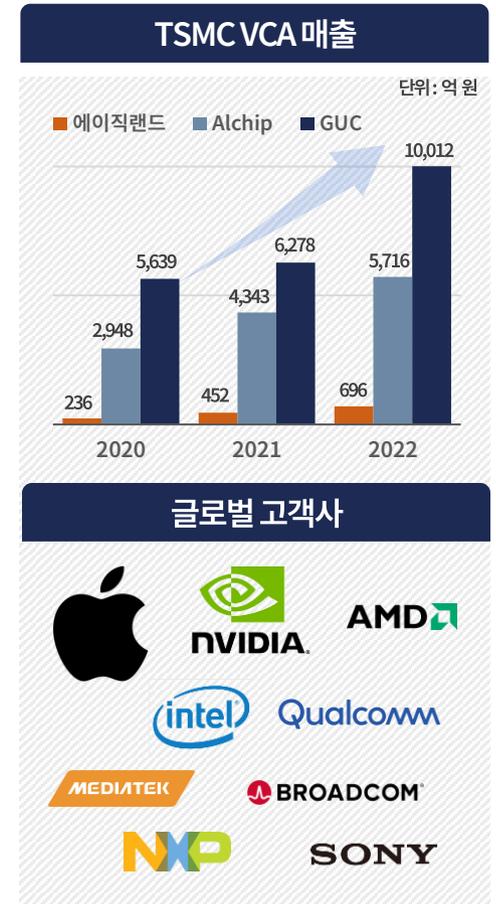
자료 :트렌드포스 , 업계자료

압도적 No.1 파운드리 인프라 현황

	TSMC	SAMSUNG
공장수	17개 (대만 12개, 해외 5개)	9개 (국내 8개, 해외 1개)
월 생산량	377만 장	100여만 장
공정 범위	3nm ~ 1.0um	3nm ~ 0.18um
핵심 설비 (EUV)	90~100대 (22년)	40~50대 (22년)

TSMC 특징

- 12인치 3nm 공정 부터 6인치 1,000nm 까지 폭넓은 공정 보유
- Package 후공정 시장 선도
(Heterogeneous CoWoS, Hybrid bonding)
- 폭넓은 공정 국내 팹리스 고객 대상 꾸준한 개발 지원
- TSMC MPW 프로젝트 삼성 파운드리 대비 4배 수준
- 양산 제품의 기회 창출
- 투자: 미국, 일본, 독일 등 신규 파운드리 공장 추가
- 고객과 경쟁하지 않음 (Pure 파운드리)

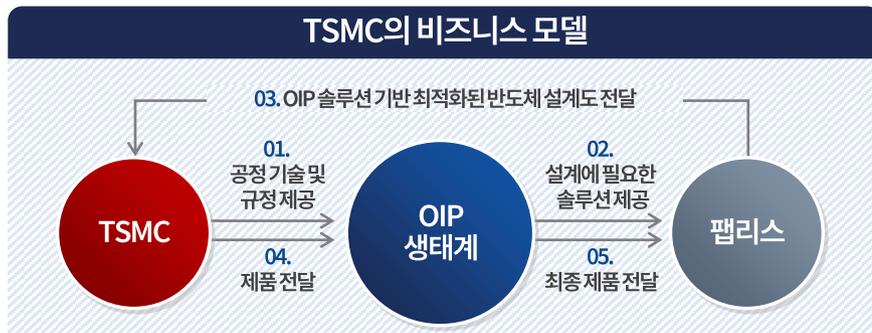


01. 강력한 글로벌 메이저 파트너십을 통한 성장성 확보(3)

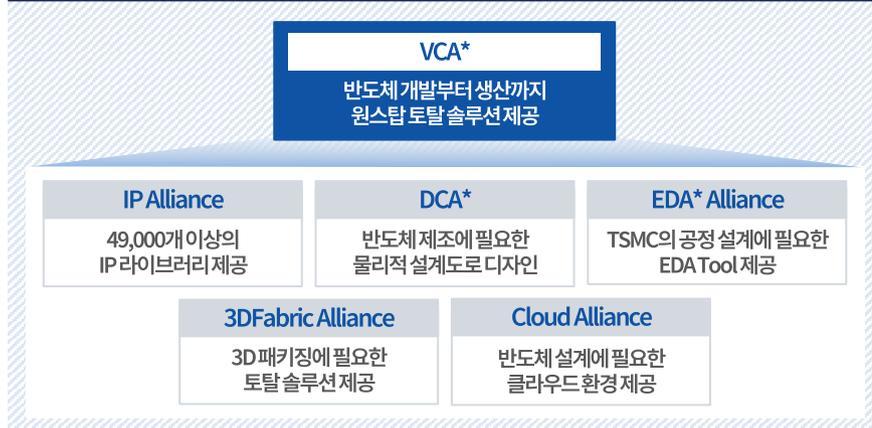


“TSMC VCA”로서 TSMC의 OIP 생태계 내에서 팹리스 고객의 최일선 영업 담당 및 핵심 역할 수행

TSMC의 OIP 생태계 (Open Innovation Platform)



TSMC의 OIP 생태계 (Open Innovation Platform)



* EDA: Electronic Design Automation
* DCA: Design Center Alliance
* VCA: Value Chain Alliance

TSMC VCA의 역할 (Value Chain Alliance)



02. 반도체 전 공정 대응 가능한 국내 유일한 디자인솔루션 기업(1)



선단부터 레거시 공정까지, 전공정을 아우르는 반도체 생태계 선도 기업 “TSMC”

TSMC의 보유 공정

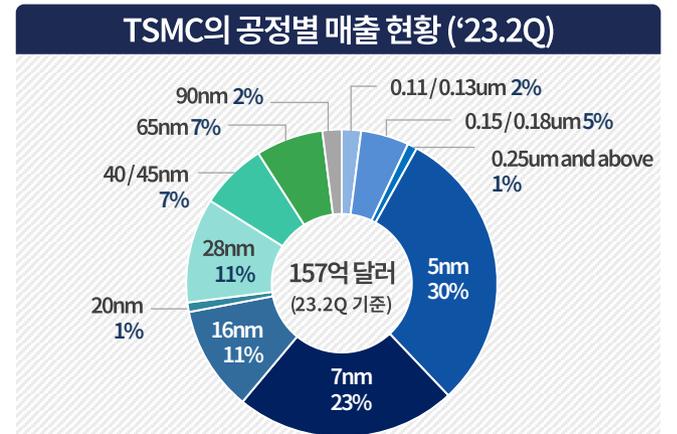


TSMC 보유 공정 ● Available ○ In Development | SAMSUNG 보유 공정 ● Available ○ In Development

TSMC	SAMSUNG	FINGER PRINT SENSOR	MEMS	IMAGE SENSOR	EMBEDDED NVM	RF	LOGIC	ANALOG	HIGH VOLTAGE	BCD-POWER IC
3nm	3nm						○●			
4/5nm	4nm						●●			
7/6nm	7/5nm					○	●●			
10nm	10/8nm					●	●●			
16/12nm	14/11nm				○	●●	●●	○		
20nm	18nm (FD-SOI)					●	●●			
22nm					●	●	●	●		
28nm	28nm (FD-SOI)			○	●●	●●	●●	●	○	
	28nm				●●	●	●●			
40nm	45nm			●	●●	●	●●	●	●	●
65/55nm	65/70nm	●	○	●	●●	●●	●●	●●	●●	○
90/80nm	90nm	●	●	●●	●	●●	●●	●●	●●	○●
0.13/0.11μm	0.13μm		●	●	●	●●	●●	●●	●●	●●
0.18/0.15μm	0.18μm	●	●	●	●	●●	●●	●●	●●	●
0.25μm			●	●	●	●	●	●	●	●
0.35μm			●	●	●	●	●	●	●	●
0.5μm 이상			●	●	●	●	●	●	●	●

자료: TSMC 홈페이지, Cadence

TSMC 매출 현황



TSMC 고객 지역별 매출 비중

지역	2022연도	2021연도
대만	9.34%	12.8%
미국	66.0%	64.0%
중국	10.8%	10.4%
유럽, 중동, 아프리카	5.5%	5.6%
일본	5.3%	4.5%
그 외	3.2%	2.7%

02. 반도체 전 공정 대응 가능한 국내 유일한 디자인솔루션 기업(2)

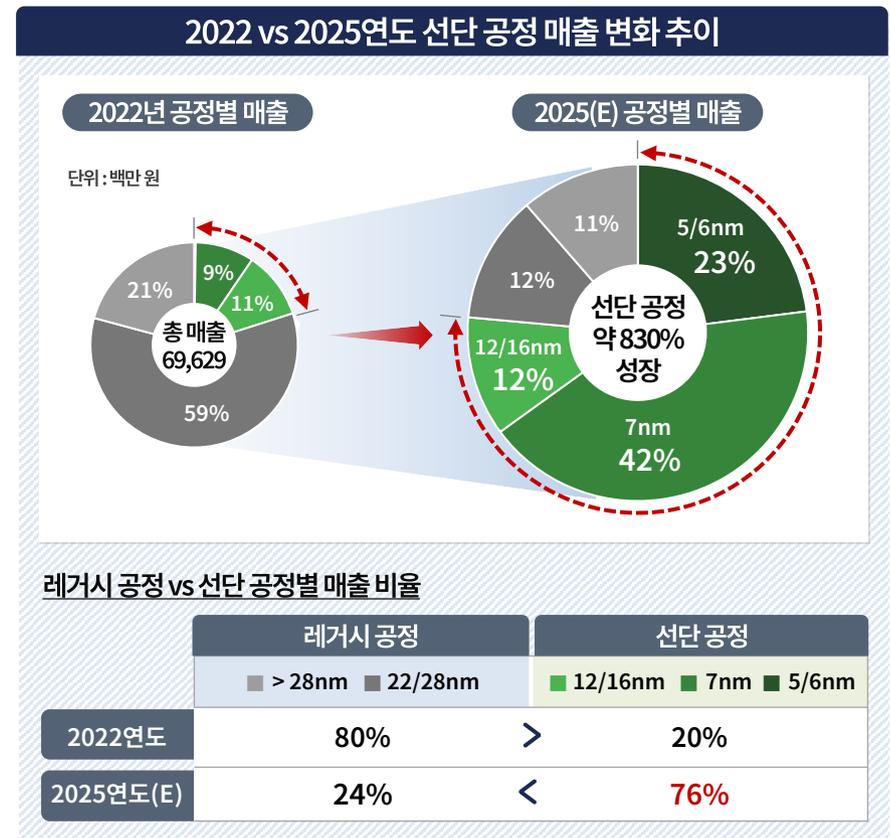


2023년 이후, AI 등 첨단 반도체 제품군의 양산에 따른 선단 공정의 비약적 성장 예상

에이직랜드 연도별 공정 매출 추이 (레거시 공정 + 선단공정)



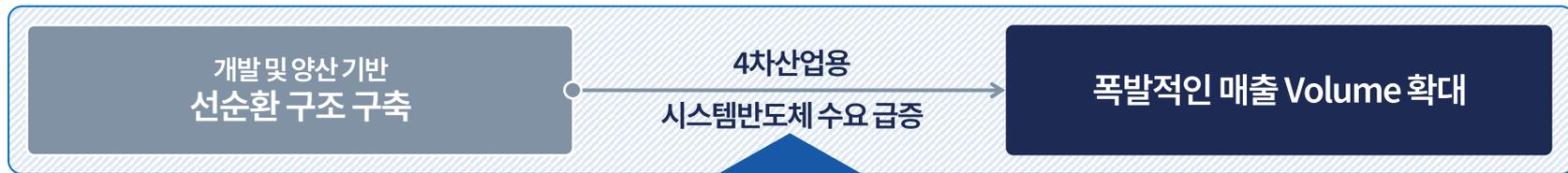
자료1 : 증권신고서, 연결기준
 자료2 : 당사 내부자료



03. 스케일업 선순환을 통한 매출 가속화



개발 후 양산으로 이어지는 스케일업 선순환 고리 장착



개발 중인 프로젝트
48건
(2023.09)

개발 수주 잔고
1,250억 원
(2023.09)

개발 (시장 진출)

- | | |
|-------------|---|
|
AI | <ul style="list-style-type: none"> • X사 7nm • X사 5nm (7nm 후속 제품 2026년 개발 완료 목표) • M사 12nm AI 엠티향 제품 개발 • Q사 12nm : 서버향 AI 다른 솔루션 적용 |
|
Memory | <ul style="list-style-type: none"> • Y사 낸드컨트롤러 개발 • H사 SD/eMMC 컨트롤러 개발 |
|
Display | <ul style="list-style-type: none"> • L사, W사 12nm T-Con 개발 |
|
IoT&5G | <ul style="list-style-type: none"> • S사 5G RFIC 2019년 개발 완료 |

양산 (시장 확대)

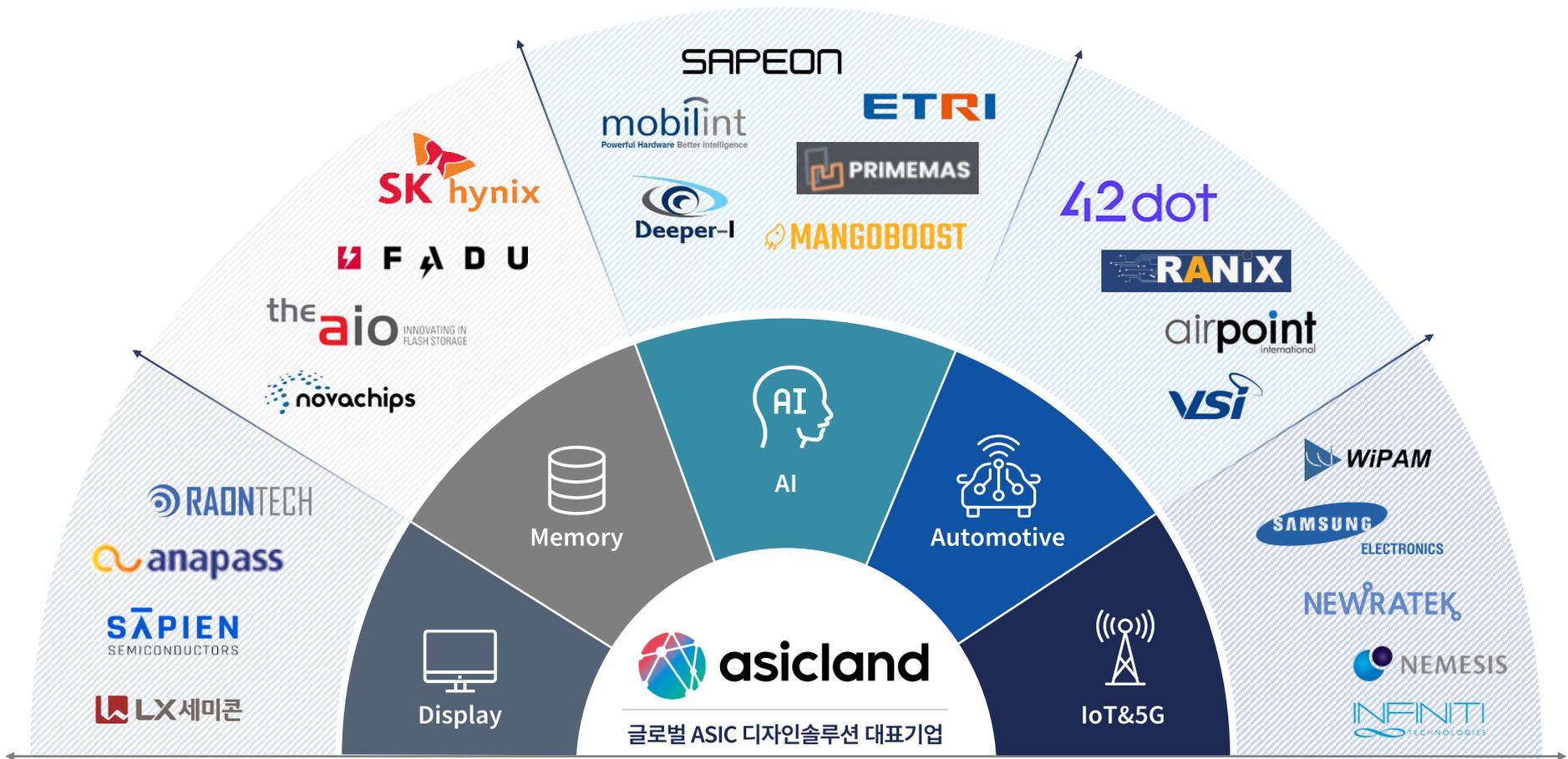
- | |
|--|
| <ul style="list-style-type: none"> • X사 7nm - 2024년 이후 제품 턴키 공급 • X사 5nm - 2027년 턴키 공급 목표 • M사 12nm - 2025년 하반기 양산 목표 • Q사 12nm : 2025년 이후 양산 목표 |
| <ul style="list-style-type: none"> • Y사 2025년 이후 양산 목표 • H사 2023년 SD카드 컨트롤러 양산 시작, 24년 eMMC 컨트롤러 양산 예정 |
| <ul style="list-style-type: none"> • 국내 Big Fabless의 T-Con 비즈니스 양산 목표 |
| <ul style="list-style-type: none"> • 2019년 이후 턴키 양산 시작, 인프라 구축에 따라 FCST 증가 가능성 있음 |

자료 : 당사 내부자료, 2023년 09월 기준

04. 4차 산업 시대에 적합한 다양한 어플리케이션과 고객사 확보(1)



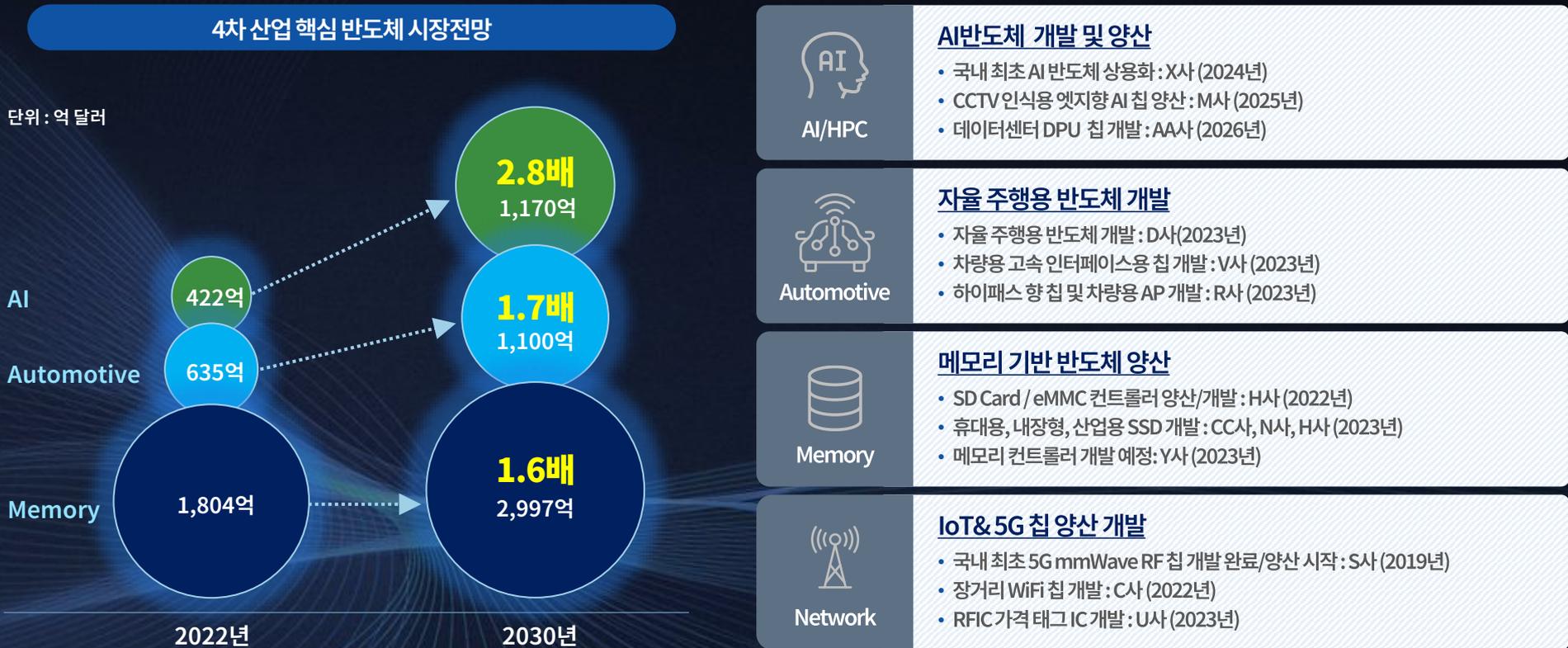
에이직랜드는 AI, IoT&5G 등 4차 산업 주요 고객에게 디자인 솔루션 전방위 제공
 대기업과 중소기업, 스타트업 등 70여개의 다양한 고객사 확보



자료 : 당사 내부자료, 23년 09월 기준

04. 4차 산업 시대에 적합한 다양한 어플리케이션과 고객사 확보(2)

4차 산업 핵심 프로젝트 개발/양산을 통한 고속 성장 기대
 고부가가치 첨단패키징 CoWoS 매출 비중을 높이기 위해 AI, Automotive 등 신규과제 양산 진행



자료: AI반도체 - 가트너, 정보통신정책연구원 / Automotive반도체 - HIS 마켓 / Memory 반도체- 옴디아

04 Growth Strategy

01. 성장 로드맵
02. 제품 개발 및 양상 로드맵
03. 신사업 추진을 통한 성장 동력 확보
04. VISION

Package Service

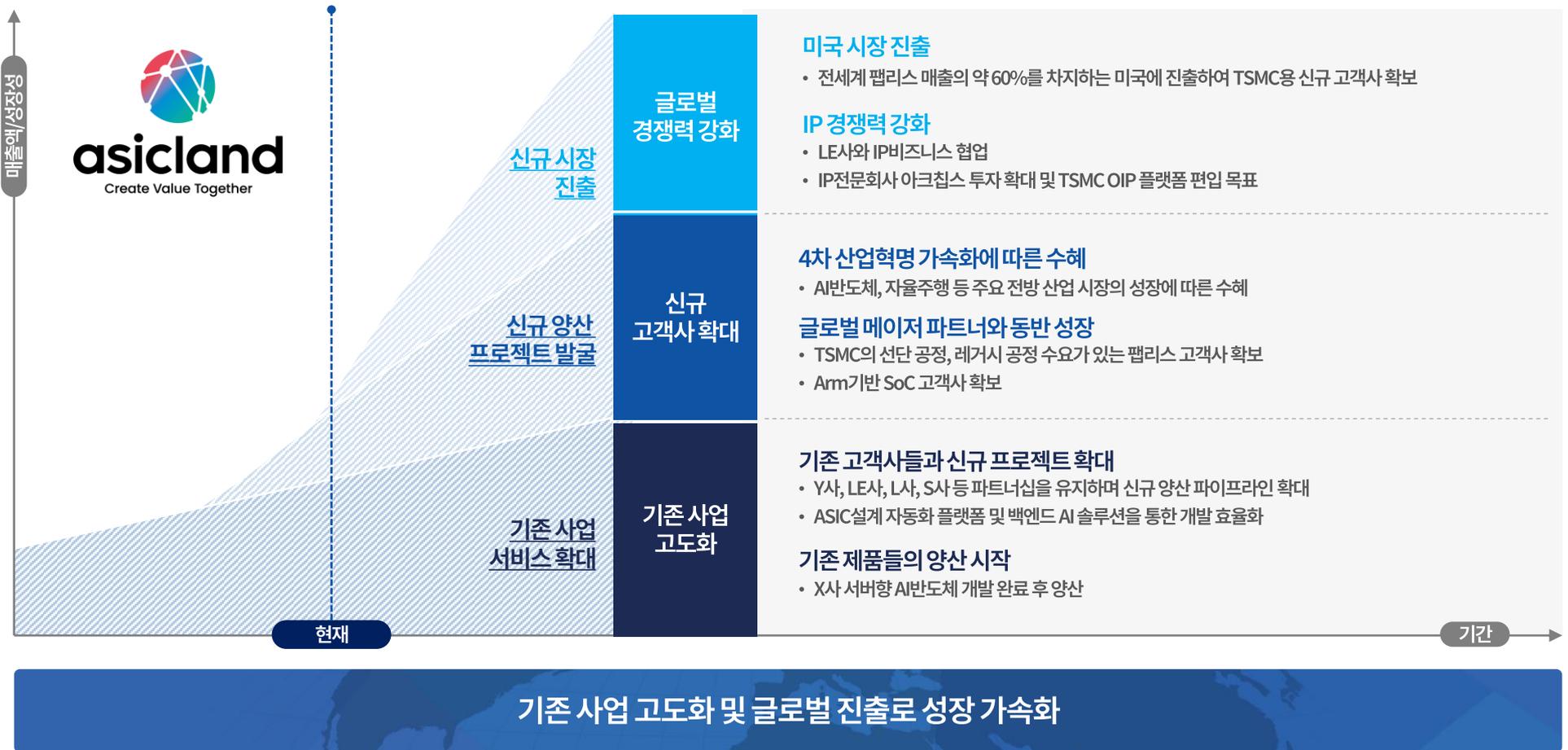
고객사의 다양한 Application에 맞도록 Package Type 및 기술적 Service를 제공합니다.



01. 성장 로드맵



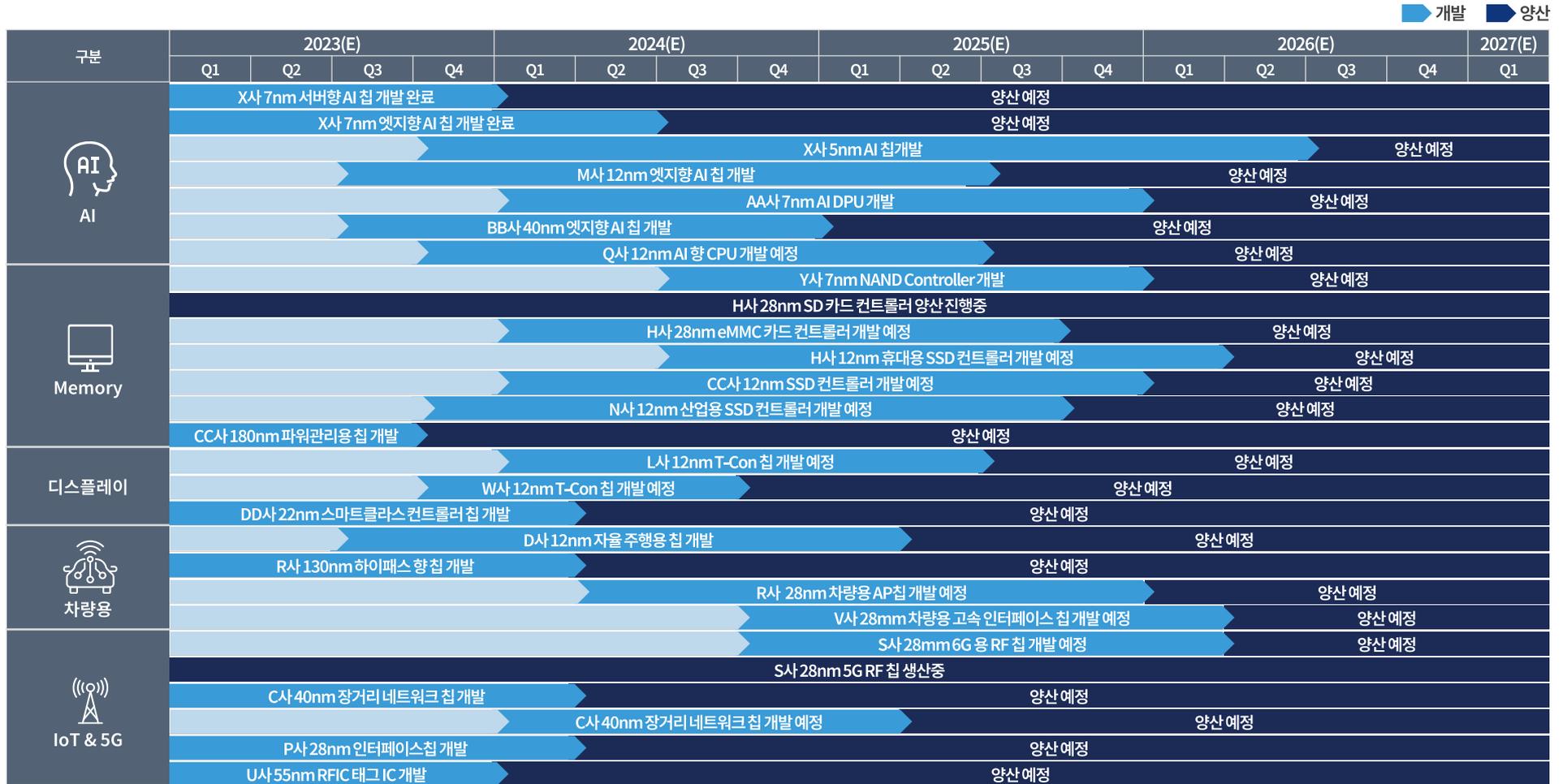
기존 사업 고도화 및 지속 성장을 위한 신규 성장 동력 확보



02. 제품 개발 및 양상 로드맵



4차 산업을 주도할 다양한 응용분야 제품 양산을 통한 미래 성장동력 확보



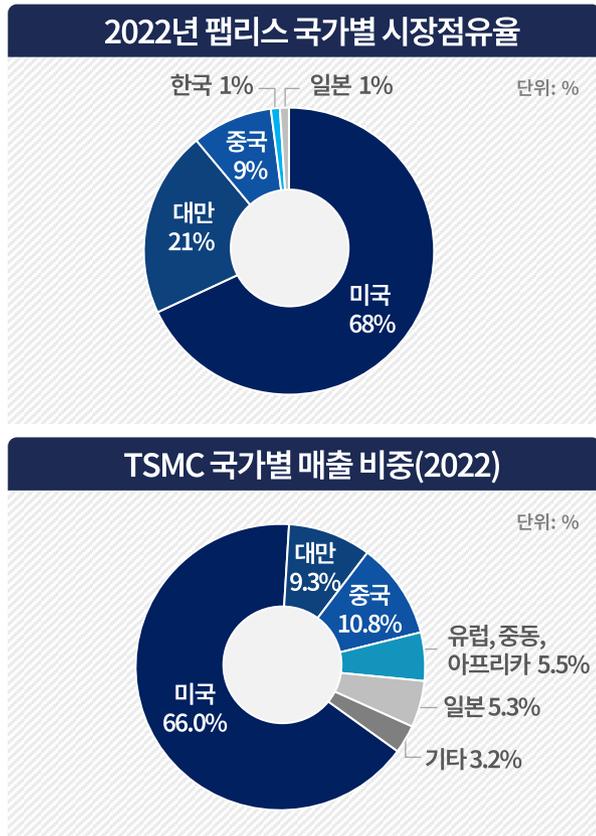
자료 : 당사 내부자료, 2023. 09 기준

03. 신사업 추진을 통한 성장 동력 확보(1)

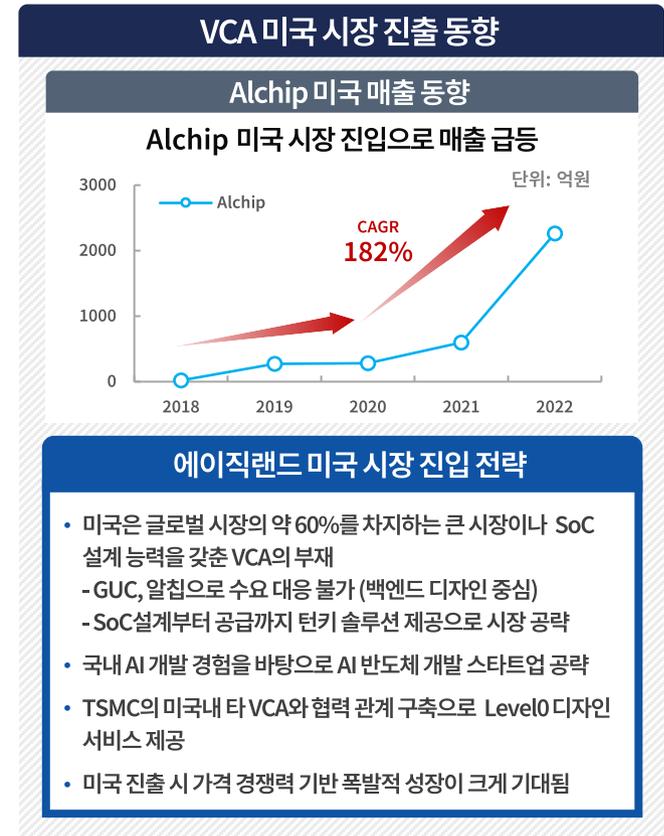
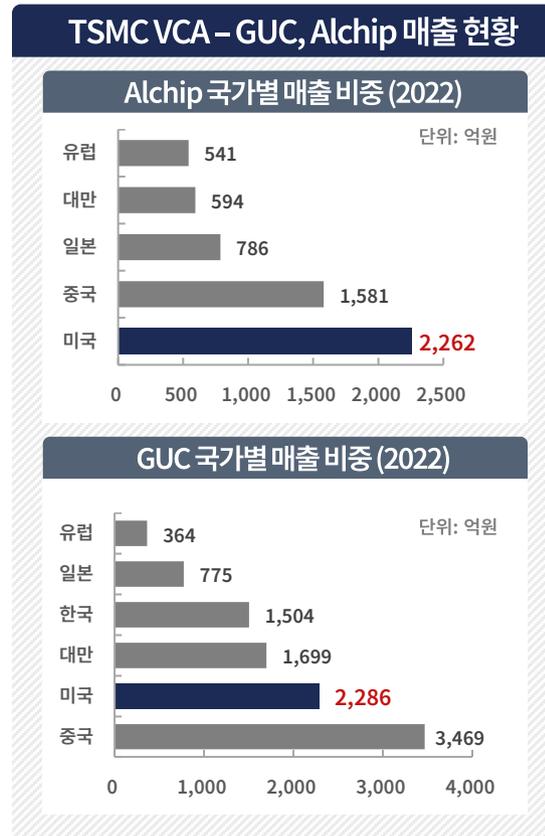


글로벌 팹리스 시장의 중심, 미국 시장 진출을 통해 성장 가속화

글로벌 팹리스 시장의 중심 미국



자료: 각 사 Annual reports

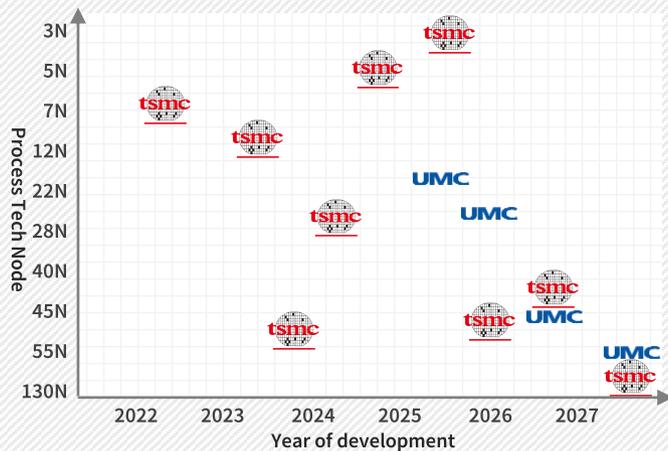


03. 신사업 추진을 통한 성장 동력 확보(2)

IP 비즈니스 신사업 투자를 통한 신사업 확대, 기술 역량 및 매출 확장
 대기업과의 IP비즈니스 협약 / TSMC IP Alliance 편입을 통해 매출 시너지 확대

IP 전문기업 아크칩스 투자를 통한 신사업 확장

아크칩스의 Analog/Mixed-Signal IP 개발 로드맵



아크칩스의 Analog/Mixed-Signal IP 개발 현황

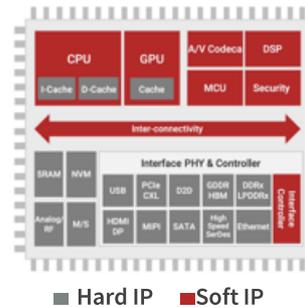
- TSMC 7N FF(FinFet) 공정용 IP 34종 Silicon 검증 진행 중
- TSMC 12N FFC(FinFet Compact) 공정용 IP 36종 시제품 제작 중
- TSMC 130N 공정 차량용 반도체 IP 12종 설계 진행 중
- SSD Controller/eMMC 용 반도체 IP 24종 설계 진행 중

자료: TSMC 홈페이지

TSMC OIP - IP Alliance 편입 목표

2027 TSMC IP Alliance 편입 후 글로벌 반도체 IP 시장 진출

TSMC's IP Ecosystem S SoC Diagram



TSMC's IP Ecosystem S SoC Diagram



2027 TSMC IP Alliance 편입을 위한 차별화 전략

- 아크칩스 반도체 IP 적용된 시제품 검증 지원
- 반도체 IP Specification 분석 및 System 분석을 통한 맞춤형 IP 컨설팅
- 제품 생산 시 생산 일드(yield) 향상을 위한 기법 (DFM: Design For Manufacturing) 적용
- System Interface 기술 지원, 제품 인증 기술 지원
- Real-time Support
- Analog/Mixed-Signal/RF 반도체 IP 자동화 검증 시스템 보유

04. 글로벌 ASIC 디자인 솔루션 대표기업으로 도약



끊임없는 혁신과 글로벌 네트워크로 세계를 선도하는 시스템 반도체 VALUE-UP PARTNER

기존 사업 강화

- 4차 산업 제품 개발 확대
- 기존 고객사와 협업을 통해 파이프라인 확대
- 국내 대기업과의 지속적인 파트너십

신규 성장 동력
+
기존 사업

신사업 진출 가속화

- 미국 시장 진출을 통한 신규 고객사 확보
- IP 비즈니스 확대
(LE사 IP 비즈니스 협업,
아크칩스 투자 확대 및 TSMC OIP 편입)

글로벌 ASIC 디자인 솔루션 대표기업

글로벌 파트너십 보유

국내 유일 TSMC의 VCA Arm의 ADP

공정에 대한 높은 이해도

높은 공정 이해도로 턴키 서비스 제공
Tape-Out 278건 수행

우수한 설계 역량 보유

10년 이상의 베테랑 연구원 비중 높음
SoC 설계 자동화 플랫폼

독보적인 레퍼런스 보유

국내 최초 AI반도체 개발
세계 최초 고대역대 5G칩 양산

우량한 경영 성과

연평균 72%의 매출 성장(20~22)
영업 이익 316% 성장(21~22)

Appendix

01. IPO Plan
02. 재무제표
03. 반도체 제조 Flow
04. 용어 설명

Reliability Test Service

신뢰성평가 및 불량 분석 분야의 저명한 업체들과
협업하여 다양한 제품에 적합한 신뢰성 평가 서비스를 제공합니다.



01. IPO Plan

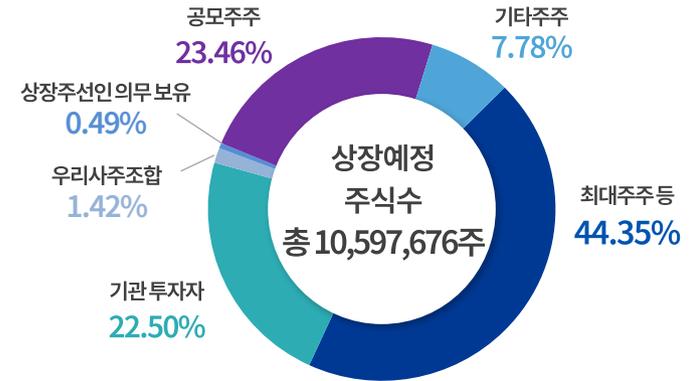


공모 개요	
공모주식수	2,636,330주 (전량 신주)
공모가 밴드	19,100원 ~ 21,400원
예상 공모금액	504억원 ~ 564억원
예상 시가총액	2,024억원 ~ 2,268억원
상장예정주식수	10,597,676주

공모 일정	
신고서 제출일	9/15 (금)
수요예측	10/23 (월) ~ 10/27 (금)
청약	11/2 (목) ~ 11/3 (금)
납입	11/7 (화)
상장예정일 (미정)	11/13 (월)

자료 : 증권신고서

공모 후 주주구성



의무보유 사항 (공모 후 기준)

구분	의무보유주식수			
	주식수(주)	비율(%)		
의무보유	최대주주등	18개월	2,573,631	24.28%
		12개월	1,407,690	13.28%
		6개월	718,851	6.78%
	소계		4,700,172	44.35%
	우리사주조합	12개월	150,000	1.42%
	기타주주	6개월	219,744	2.07%
	기관투자자	1개월	2,384,738	22.50%
유통가능수량	상장주선인의무보유	3개월	52,356	0.49%
	소계		2,806,838	26.49%
	총 유통제한수량		7,507,010	70.84%
	기타주주수량		604,336	5.70%
총 상장예정주식수	공모주주 (우리사주조합배정분 제외)		2,486,330	23.46%
	총 유통가능수량소계		3,090,666	29.16%
	총 상장예정주식수		10,597,676	100.00%

02. 재무제표

단위:백만원

구분	2020	2021	2022	2023.06
회계처리 기준	K-IFRS	K-IFRS	K-IFRS	K-IFRS
유동자산	13,450	34,289	61,663	40,705
비유동자산	7,129	8,405	12,582	27,845
자산총계	20,579	42,694	74,245	68,550
유동부채	23,398	41,525	67,026	33,316
비유동부채	2,572	3,942	3,933	3,889
부채총계	25,970	45,466	70,959	37,205
자본금	305	305	2,835	3,954
이익잉여금 외	-5,696	-3,077	451	27,391
자본총계	-5,391	-2,772	3,286	31,346
부채와 자본총계	20,579	42,694	74,245	68,550

자료 : 연결재무제표 기준, 2020년은 종속회사가 존재하지 않아 K-IFRS 기준의 개별재무제표의 수치로 기재.
 2023년 반기는 지정감사인의 검토를 받은 연결재무제표이며, 2022년은 감사받은 연결재무제표 기준.
 2020년 및 2021년은 2022년 감사보고서의 전기 기초 및 기말 수치를 기재하였으며 이는 감사받지 아니한 수치임.

단위:백만원

구분	2020	2021	2022	2023.06
회계처리 기준	K-GAAP	K-IFRS	K-IFRS	K-IFRS
매출액	23,585	45,196	69,629	35,634
매출원가	18,038	37,188	50,999	28,790
매출총이익	5,547	8,007	18,630	6,844
판매비와 관리비	4,422	5,256	7,180	4,362
영업이익	1,124	2,751	11,450	2,482
영업외손익	-432	-343	-4,542	31
법인세차감전 당기순이익	693	2,409	6,908	2,513
법인세 비용	96	316	1,758	186
법인세차감후 당기순이익	597	2,093	5,150	2,327

자료 : 연결재무제표 기준, 2020년은 종속회사가 존재하지 않아 K-GAAP 기준의 개별재무제표의 수치를 기재.
 2023년 반기는 지정감사인의 검토를 받은 연결재무제표이며, 2022년은 감사받은 연결재무제표 기준.
 2021년은 2022년 감사보고서의 전기 수치를 기재하였으며 이는 감사받지 아니한 수치임.
 2020년은 감사받은 K-GAAP 재무제표 수치임.

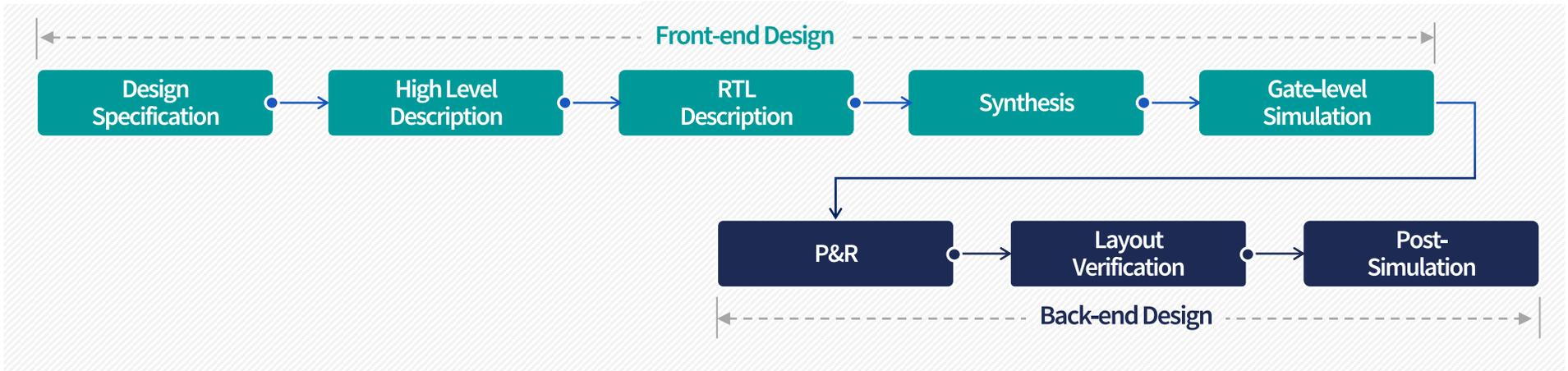
03. 반도체 제조 Flow



반도체 제조 Flow



반도체 설계 흐름도



04. 용어 설명

용어	설명
ASIC (Application Specific IC)	특정 애플리케이션을 처리하도록 설계된 집적회로로서, 사용자가 특정 용도의 반도체를 주문하면 반도체 설계사가 이에 맞춰 설계, 제작해주며 따라서 우리말로는 ‘주문형 반도체’라고도 함
프런트엔드 (Front-end)	반도체 설계 플로우 중에서 스펙을 정의하고, 상위 레벨의 설계를 통해 이를 RTL 코딩을 통해 논리적으로 기술을 하며, 기능적으로 검증하는 단계까지를 의미
백엔드 (Back-end)	반도체 설계 플로우 중에서 프런트엔드 이후에 해당하는 논리설계를 실제 제작에 사용될 공정에 맞게 합성(synthesis)하고, 웨이퍼 위에 배치 및 배선(Place & Route)하고, 물리적인 타이밍을 고려한 시뮬레이션 검증까지 진행해서 파운드리에 넘기기 전까지의 과정
Tape-out	반도체를 위탁 생산하기 위한 물리적인 설계, 즉 웨이퍼상에 실제로 제작될 컴포넌트들의 배치와 연결에 대한 설계가 모두 완료되면 최종 설계 결과물을 파운드리에 전달하는 것
RTL 회로설계 (Register-Transfer Level)	RTL은 값을 저장할 수 있는 레지스터와 입력 값에 따라 출력 값이 바로 결정되는 논리회로(Combinational Logic)를 이용하여 synchronous(동기) 디지털 회로를 설계하는 레벨을 의미
반도체 EDA (Electronic Design Automation)	복잡하고 미세한 반도체 회로를 설계하는데 필수적인 소프트웨어로서, 반도체 로직 설계, 회로 설계, 레이아웃 생성뿐만 아니라 설계를 시뮬레이션함으로써 기능을 검증해 볼 수 있는 소프트웨어
FPGA (Field Programmable Gate Array)	CPU나 GPU와 같은 용도가 정해진 반도체와 달리 칩 내부 회로를 용도에 맞게 새로 구성하여 그때그때 프로그래밍할 수 있는 반도체
GUI (Graphical User Interface)	사용자가 컴퓨터와 정보를 교환할 때, 그래픽을 통해 작업할 수 있는 환경
InFO-PoP (Package-on-package)	스택형 InFO 패키지 기술 기반 TSMC의 InFO 패키지 위에 반도체 패키지를 탑재하는 패키지 기술
3D-SoIC	TSMC의 반도체 패키징 브랜드로 칩을 쌓는 기존 3D 패키징과 방식은 동일하지만 전자 이동 통로를 더 가늘게 만들어 칩 간 거리를 줄여 데이터 전송 속도를 높이고, 하이브리드 본딩을 사용해 전력 효율을 개선함
Arm ADP (Approved Design Partner)	글로벌 최대 IP기업 Arm 상의 Ecosystem으로 Arm 대신하여 IP 디자인 솔루션을 제공 할 수 있는 검증된 파트너

Thankyou

